

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07161192 A**

(43) Date of publication of application: **23 . 06 . 95**

(51) Int. Cl

G11C 11/418

G11C 11/419

H01L 21/8244

H01L 27/11

(21) Application number: **05304281**

(71) Applicant: **SHARP CORP**

(22) Date of filing: **03 . 12 . 93**

(72) Inventor: **YOSHIDA MAKOTO**

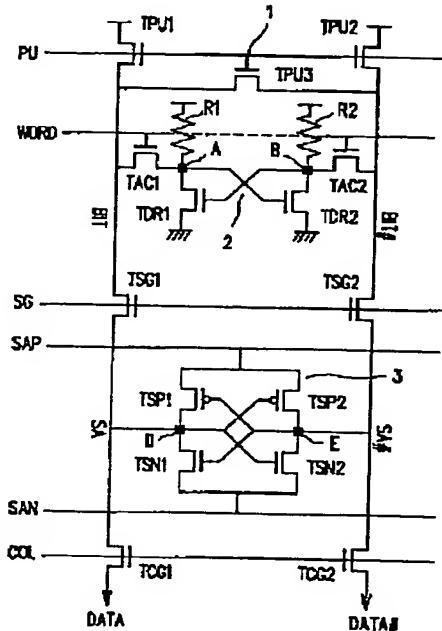
(54) MOS STATIC MEMORY

(57) Abstract:

PURPOSE: To reduce an area and power consumption.

CONSTITUTION: Transfer gates TSG1, TSG2 are respectively provided between a bit line BIT, a bit bar line BIT# and both ends of a sense amplifier 3. Thus, at the time of sensing a read, the line BIT, the line BIT# and the amplifier 3 are separated by the gates TSG1, TSG2 to prevent the line BIT and the line BIT# from fully swinging. In this case, the lines BIT and BIT# are regarded as being slightly at a potential difference by a memory cell, and almost no charge and discharge current flow.

COPYRIGHT: (C)1995,JPO



特開平7-161192

(43)公開日 平成7年(1995)6月23日

(51)Int.Cl.
G11C 11/418
11/419
H01L 21/8244
27/11

識別記号

F I

G11C 11/34 301 B
審査請求 未請求 請求項の数 2 O L (全7頁) 最終頁に続く

(21)出願番号 特願平5-304281

(22)出願日 平成5年(1993)12月3日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 吉田 真

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

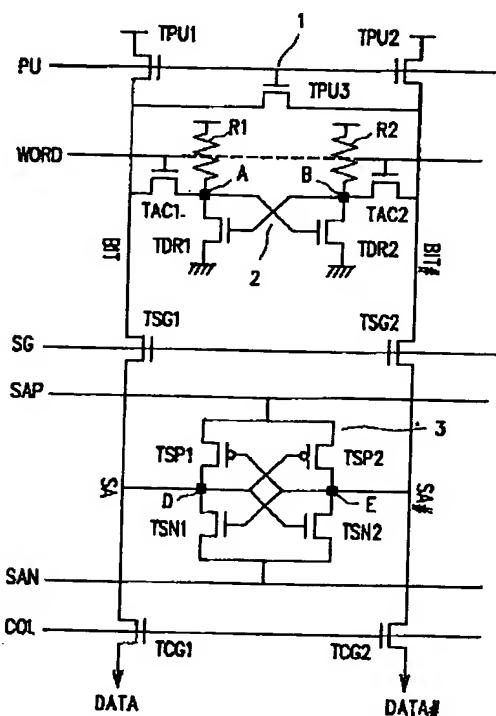
(74)代理人 弁理士 山本 秀策

(54)【発明の名称】MOS型スタティックメモリ装置

(57)【要約】

【目的】 小面積で低消費電力とする。

【構成】 ピット線B I T およびピットバー線B I T # とセンスアンプ3の両端部との間にトランスマッパー T S G 1, T S G 2をそれぞれ設けることにより、リードセンス時に、ピット線B I T およびピットバー線B I T #とセンスアンプ3とをトランスマッパー T S G 1, T S G 2で分離して、ピット線およびピットバー線B I T #がフルスイングすることを防いでいる。この時、ピット線B I T およびピットバー線B I T #はメモリセル2によりわずかに電位差が生じているのみでほとんど充放電電流は流れない。



【特許請求の範囲】

【請求項1】 メモリセルが接続されるピット線およびピットバー線のピット線ペア毎にセンスアンプを設け、該センスアンプの両端部とピット線およびピットバー線との間にそれぞれ第1のトランスマニアゲートをそれぞれ設け、該センスアンプの両端部とデータバスおよびデータバーバスとの間にそれぞれ第2のトランスマニアゲートをそれぞれ設けたMOS型スタティックメモリ装置。

【請求項2】 メモリセルが接続されるピット線およびピットバー線のピット線ペア毎にセンスアンプを設け、該センスアンプの両端部とピット線およびピットバー線との間にそれぞれ、オン抵抗の低い第1のトランスマニアゲートとオン抵抗の高い第2のトランスマニアゲートとの並列回路をそれぞれ設け、該センスアンプの両端部とデータバスおよびデータバーバスとの間にそれぞれ第3のトランスマニアゲートをそれぞれ設けたMOS型スタティックメモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、書き込み、読みだし回路を有するMOS型スタティックメモリ装置に関する。

【0002】

【従来の技術】近年、SRAMが1M, 4M, 16Mと大容量化するに従い、チップサイズが大きくなるため、データを伝送する配線が長くなってデータ伝送時間が長くかかるようになってきた。データの伝送時間を短縮するため、これらの大容量SRAMではメモリアレー近辺にローカルセンスアンプにより増幅し外部に出力している。このようなSRAMの一例として、IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 25, NO. 5, OCTOBER 1990 1075-1081 "A 23-ns 4-Mb CMOSRAM with 0.2 μA Standby Current" (以下、資料1という) に、メモリアレー近辺に置かれるローカルセンスアンプとして16個のトランジスタを組み合わせた例が示されている。

【0003】また、SRAMの動作電圧の低下、大容量化に伴う浮遊容量によるピット線間干渉の増大によりメモリセル内に記憶されている情報が破壊されやすくなっている。以下、この現象をメモリ破壊と称する。このようなメモリ破壊を防ぐ手段として、公開特許公報S63-128662 (以下、資料2という)によれば、フリップフロップ型センスアンプによりピット線上に生じたわずかな電位差を再生し、データを再書きすることによりデータ破壊を防いでいる。さらに、このセンスアンプはわずか6個のトランジスタで構成されている。

【0004】

【発明が解決しようとする課題】しかし、上記従来のメ

10

20

30

40

モリ装置では、ローカルにセンスアンプを置くことはすべてのメモリアレーの一辺にセンスアンプを置くことになり、大きな面積を必要とする。資料1における4-Mb SRAM chipを図3に示す。図3を見るとローカルセンスアンプ(SENSE AMPLIFIER)にかなりの面積を必要としており、全体の約4%を占めている。この点、上述した資料2のフリップフロップ型センスアンプは6素子で構成され、その内の2素子はまとめることができ、面積上かなり資料1に比べると有利である。しかし、このフリップフロップ型センスアンプによりピット線電位を再生するとピット線がフルスウイングし、ピット線の充放電電流は非常に大きなものとなる。その大きさはピット線容量(C)を、例えば3pF、1秒当たりの充放電回数すなわち動作周波数(F)を10MHz、ピット線の電圧変化幅(V)を3.3V、同時に動作するピット線ペア数(N)を128とすると、電流(I)は

$$I = C \times V \times F \times N \\ = 3 \times 10^{-11} \times 3.3 \times 10 \times 10^6 \times 128 \\ = 12.7 \text{ mA}$$

と見積られ、大きな電流が流れることになる。

【0005】本発明は、上記従来の問題を解決するもので、小面積で低消費電力であるセンスアンプを用いたMOS型スタティックメモリ装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明のMOS型スタティックメモリ装置は、メモリセルが接続されるピット線およびピットバー線のピット線ペア毎にセンスアンプを設け、該センスアンプの両端部とピット線およびピットバー線との間にそれぞれ第1のトランスマニアゲートをそれぞれ設け、該センスアンプの両端部とデータバスおよびデータバーバスとの間にそれぞれ第2のトランスマニアゲートをそれぞれ設けたものであり、そのことにより上記目的が達成される。

【0007】また、本発明のMOS型スタティックメモリ装置は、メモリセルが接続されるピット線およびピットバー線のピット線ペア毎にセンスアンプを設け、該センスアンプの両端部とピット線およびピットバー線との間にそれぞれ、オン抵抗の低い第1のトランスマニアゲートとオン抵抗の高い第2のトランスマニアゲートとの並列回路をそれぞれ設け、該センスアンプの両端部とデータバスおよびデータバーバスとの間にそれぞれ第3のトランスマニアゲートをそれぞれ設けたものであり、そのことにより上記目的が達成される。

【0008】

【作用】上記請求項1の構成により、リード時には、まず、ピット線およびピットバー線にメモリセル内にストレージされていたデータに応じた電位差が生じ、この時、ピット線およびピットバー線とセンスアンプとの間

の第1のトランスマルチゲートは開いておき、センスアンプはまだセンスをスタートさせない。しばらく時間が経過した後、センスアンプの両端部にセンスするに充分な電位差が生じた時、ピット線およびピットバー線とセンスアンプとの間の第1のトランスマルチゲートを閉じ、センスアンプのセンスをスタートさせる。そして、センスが終了しセンスアンプの両端部に大きな電位差が生じたところで第2のトランスマルチゲートを開き、データバスおよびデータバーバスにデータを乗せる。このように、ピット線およびピットバー線とセンスアンプとの間に第1のトランスマルチゲートを設けているので、リードセンス時にピット線およびピットバー線とセンスアンプとを第1のトランスマルチゲートで分離し、ピット線が大きく振幅することを防いでいる。従って、この1連の動作でピット線およびピットバー線はメモリセルによりわずかに電位差が生じているのみでほとんど充放電電流は流れない。

【0009】また、ライト時には、このセンスアンプを使わなくてもデータバスおよびデータバーバスをフルスウイングさせてピット線およびピットバー線とセンスアンプとの間の第1のトランスマルチゲートおよび第2のトランスマルチゲートを同時に開ければ書き込むことができるが、しかし、センスアンプを動作せることにより、より早くより低消費電力で書き込むことができる。この書き込み時には、まず、データバスおよびデータバーバスはフルスウイングせず、データに応じたわずかな電位差を乗せ、第2のトランスマルチゲートを開き、センスアンプの両端部にデータを送り込む。次に、センスアンプの両端部にセンスするに充分な電位差が送り込まれた時点で、第2のトランスマルチゲートを閉じ、センスアンプをスタートさせる。センスアンプの両端部に充分大きな電位差がセンスできた時点で、ピット線およびピットバー線とセンスアンプとの間の第1のトランスマルチゲートをそれぞれ開き、ピット線およびピットバー線をドライブしてメモリセルに書き込みを行う。このように、データバスおよびデータバーバスを大振幅させないので、より早くより低消費電力で書き込むことができる。

【0010】次に、請求項2の構成により、リード時、まず、ピット線およびピットバー線にメモリセル内にストレージされていたデータに応じた電位差が生じ、この時、オン抵抗の低い、ピット線およびピットバー線とセンスアンプとの間の第1のトランスマルチゲートはそれ開いておき、センスアンプはまだセンスをスタートさせない。この時点では、オン抵抗の高い第2のトランスマルチゲートを開けても閉じても良い。しばらく時間が経過した後、センスアンプの両端部にセンスするに充分な電位差が生じた時、ピット線およびピットバー線とセンスアンプとの間の第1のトランスマルチゲートをそれぞれ閉じ、ピット線およびピットバー線とセンスアン

プとの間の第2のトランスマルチゲートを開け、センスアンプのセンスをスタートさせる。さらに、センスが終了してセンスアンプの両端部に大きな電位差が生じたところで第3のトランスマルチゲートを開き、データバスおよびデータバーバスにデータを乗せる。この1連の動作で、ピット線およびピットバー線は低インピーダンスのセンスアンプで駆動されるので、メモリ破壊に対しても耐性がある。即ち、ピット線およびピットバー線を弱いながらもオン抵抗が高いながらも第2のトランスマルチゲートを介してセンスアンプで駆動し、即ち、第2のトランスマルチゲートをオンさせてピット線がセンスアンプにより弱く支えられるようにしているので、請求項1の構成に比べるとピット線およびピットバー線の振幅が多少は大きくなり消費電力も多少は大きくなるが、メモリ破壊に対して耐性がある。

【0011】また、ライト動作は請求項1の構成の場合と同様に、このセンスアンプを使わなくても、データバスおよびデータバーバスをフルスウイングさせてピット線およびピットバー線とセンスアンプとの間の第1のトランスマルチゲート、第3のトランスマルチゲートを同時に開ければ書き込むことができるが、しかし、センスアンプを動作させることにより、より早くより低消費電力で書き込むことができる。この書き込み時に、まず、データバスおよびデータバーバスはフルスウイングせず、データに応じてわずかな電位差を乗せ、第3のトランスマルチゲートを開き、センスアンプの両端部にデータを送り込む。次に、センスアンプの両端部にセンスするに充分な電位差が送り込まれた時点で、第3のトランスマルチゲートを閉じ、センスアンプをスタートさせる。センスアンプの両端部に充分大きな電位差がセンスできた時点で、ピット線およびピットバー線とセンスアンプとの間の第1のトランスマルチゲートを開き、ピット線およびピットバー線をドライブしてメモリセルにデータの書き込みを行う。このように、データバスおよびデータバーバスを大振幅させないので、より早くより低消費電力で書き込むことができる。

【0012】さらに、ライトピット線の隣接リードピット線に対する干渉に対しても強い耐性を示す。書き込みを行っているピット線の隣のピット線はリード状態にあるが、従来であるとピット線をささえているのはメモリセルとピット線ブルアップによってである。このため、ローレベルを支えているのは、メモリセルのみで、場合によってはメモリ破壊を起こしていた。請求項2の構成では、センスアンプによってもローレベルに引いているので干渉に対しても強い耐性を示す。

【0013】

【実施例】以下、本発明の実施例について説明する。

【0014】図1は本発明の第1の実施例を示すMOS型スタティックメモリ装置の回路図である。図1において、プリチャージ回路1は3個のトランジスタTPU1

～TPU 3からなり、プリチャージ信号PUによって制御される。メモリセル2は、抵抗R1とトランジスタTDR1の接続点AがトランジスタTDR2のゲートに接続され、また、抵抗R2とトランジスタTDR2の接続点BがトランジスタTDR1のゲートに接続され、トランジスタTDR1, TDR2をドライバーとするフリップフロップと、ビット線BITと接続点Aの間、ビット線BIT#と接続点Bの間にそれぞれ設けられ、それぞれのゲートがワード線WORDに接続されたアクセストランジスタTAC1, TAC2とから構成されている。センスアンプ3は、2個のNMOSトランジスタTSN1, TSN2と2個のPMOSトランジスタTSP1, TSP2で構成されている。トランジスタTSN1のドレインはセンス線SAを介してビット線BIT側のトランジスタTSG1に、そのゲートはセンスバー線SA#を介してビットバー線BIT#側のトランジスタTSG2に、そのソースはセンス制御線SANに接続されている。トランジスタTSN2のドレインはセンスバー線SA#を介してビットバー線BIT#側のトランジスタTSG2に、そのゲートはセンス線SAを介してビット線BIT側のトランジスタTSG1に、そのソースはセンス制御線SANに接続されている。トランジスタTSP1のドレインはセンス線SAを介してビット線BIT側のトランジスタTSG1に、そのゲートはセンスバー線SA#を介してビットバー線BIT#側のトランジスタTSG2に、そのゲートはセンス線SAを介してビット線BIT側のトランジスタTSG1に、そのソースはセンス制御線SAPに接続されている。さらに、トランジスタTSP2のドレインはセンスバー線SA#を介してビットバー線BIT#側のトランジスタTSG2に、そのゲートはセンス制御線SAPに接続されている。ビット線BIT側のトランジスタTSG1は、センス線SA、カラムトランジスタTCG1を介してデータバスDATAに接続されている。また、ビットバー線BIT#側のトランジスタTSG2は、センスバー線SA#、カラムトランジスタTCG2を介してデータバーバスDATA#に接続されている。これらトランジスタTSP1, TSP2, TSN1の接続線Dはセンスアンプ3の一方端部を示し、また、トランジスタTSP2, TSN2の接続線Eはセンスアンプ3の他方端部を示している。さらに、制御線SGはトランジスタTSG1, TSG2のゲートにそれぞれ接続され、制御線COLはカラムトランジスタTCG1, TCG2のゲートにそれぞれ接続されている。

【0015】上記構成により、リード時、まず、ワード線WORDの電位がVccに上昇し、アクセストランジスタTAC1, TAC2が開き、ビット線BITおよびビットバー線BIT#にメモリセル2内にストレージされてい

たデータに応じた電位差が生じる。この時、ビット線BITおよびビットバー線BIT#とセンスアンプ3との間のトランジスタTSG1, TSG2はそれぞれ開いておき、センス制御線SAP, SANおよびセンス線SA, SA#の電位を1/2Vccにセットする。ここで、センスアンプ3は、まだセンスをスタートさせない。しばらく時間が経過した後、センスアンプ3の両端のセンス線SA, SA#にセンスするのに充分な電位差が生じた時、ラインSGの電位をGNDに下げて、ビット線BITおよびビットバー線BIT#とセンスアンプ3との間のトランジスタTSG1, TSG2をそれぞれ閉じ、センス制御線SAPの電位をVccに、センス制御線SANの電位をGNDに引いてセンスアンプ3のセンスをスタートさせる。この時、ビット線BITおよびビットバー線BIT#とセンスアンプ3との間のトランジスタTSG1, TSG2がそれぞれ閉じているために、ビット線BITおよびビットバー線BIT#の電位はメモリセル2により生じた電位差のままである。さらに、センスアンプ3によるセンスが終了し、センスアンプ3の両端部のセンス線SA, SA#に大きな電位差が生じたところで、カラムトランジスタTCG1, TCG2をそれぞれ開き、データバスDATAおよびデータバーバスDATA#にデータをそれぞれ乗せる。

【0016】以上の1連の動作で、ビット線BITおよびビットバー線BIT#はメモリセル2によりわずかに電位差が生じているのみで、ほとんど充放電電流は流れない。ただし、ビット線BITおよびビットバー線BIT#は低インピーダンスのもとで駆動されることはないので、メモリ破壊に対しては、効果を及ぼしていない。したがって、セルレシオを大きめに取ったり、メモリセル2自体にメモリ破壊に対して耐性を持たせたり、またはビット線ブルアップをリード期間中にオンさせるなどの、メモリ破壊に対する対策を打つ必要がある。

【0017】また、ライト時には、このセンスアンプ3を使わなくても、データバスDATAおよびデータバーバスDATA#をフルスイングさせ、ビット線BITおよびビットバー線BIT#とセンスアンプとの間のトランジスタTSG1, TSG2さらにカラムトランジスタTCG1, TCG2を同時に開ければ書き込むことができるが、しかし、センスアンプ3を動作させることにより、より早くより低消費電力で書き込むことができる。つまり、この書き込み時に、まず、データバスDATAおよびデータバーバスDATA#はフルスイングさせず、データに応じたわずかな電位差を乗せ、カラムトランジスタTCG1, TCG2をそれぞれ開き、センスアンプ3両端のセンス線SAおよびセンスバー線SA#にデータをそれぞれ送り込む。

次に、センスアンプ3の両端部のセンス線SAおよびセンスバー線SA#にセンスするのに充分な電位差が送り

50 シンスバー線SA#にセンスするのに充分な電位差が送り

込まれた時点で、カラムトランസファーゲート TCG 1, TCG 2 をそれぞれ閉じ、センス制御線 SAP の電位を V_{cc} に、センス制御線 SAN の電位を GND に引いてセンスアンプ 3 のセンスをスタートさせる。このセンスアンプ 3 の両端に充分大きな電位差がセンスできた時点で、ビット線 BIT およびビットバー線 BIT# とセンスアンプ 3 との間のトランസファーゲート TSG 1, TSG 2 をそれぞれ開き、ビット線 BIT およびビットバー線 BIT# をドライブしてメモリセル 2 に書き込みを行う。このように、データバス DATA およびデータバーバス DATA# を大振幅させないので、より早くより低消費電力でデータを書き込むことができる。

【0018】図 2 は本発明の第 2 の実施例を示す MOS 型スタティックメモリ装置の回路図である。図 2 において、図 1 の MOS 型スタティックメモリ装置との相違点は、図 1 のトランസファーゲート TSG 1, TSG 2 のそれ自身にオン抵抗のやや高いトランsusファーゲート TSS 1, TSS 2 をそれ自身並列に付加し、リードセンス時に、このトランsusファーゲート TSS 1, TSS 2 をオンさせてビット線 BIT およびビットバー線 BIT# がセンスアンプ 3 により弱く支えられるようにしている。

【0019】即ち、ビット線 BIT およびビットバー線 BIT# のペア毎にセンスアンプ 3 を設け、このセンスアンプ 3 の両端部は、並列接続されたオン抵抗の低いトランsusファーゲート TSL 1 とオン抵抗のやや高いトランsusファーゲート TSS 1 とを介してビット線 BIT に接続され、また、並列接続されたオン抵抗の低いトランsusファーゲート TSL 2 とオン抵抗のやや高いトランsusファーゲート TSS 2 とを介してビットバー線 BIT# が接続されている。さらに、制御線 SL はトランsusファーゲート TSL 1, TSL 2 のゲートにそれぞれ接続され、制御線 SS はトランsusファーゲート TSS 1, TSS 2 のゲートにそれぞれ接続されている。上記構成により、リード時、まず、ワード線 WORD の電位が電源電圧 V_{cc} に上昇して、アクセストランジスタ TAC 1, TAC 2 が開き、ビット線 BIT およびビットバー線 BIT# にメモリセル 3 内にストレージされていたデータに応じた電位差が生じる。この時、オン抵抗の低い、ビット線 BIT およびビットバー線 BIT# とセンスアンプ 3 との間のトランsusファーゲート TSL 1, TSL 2 はそれ自身開いており、センスアンプ 3 は、まだ、センスをスタートさせない。オン抵抗の高いトランsusファーゲート TSS 1, TSS 2 は、この時点では開けても、閉じても良い。しばらく時間が経過した後、センスアンプ 3 の両端にセンスするのに充分な電位差が生じた時、ビット線 BIT およびビットバー線 BIT# とセンスアンプ 3 との間のトランsusファーゲート TSG 1, TSG 2 をそれぞれ閉じ、ビット線 BIT およびビットバー線 BIT# とセンスアンプ 3 との間のトランsusファーゲート TSS 1, TSS 2 をそれぞれ開く。

S 1, TSS 2 をそれぞれ開け、センス制御線 SAP の電位を V_{cc} に、センス制御線 SAN の電位を GND に引いてセンスアンプ 3 のセンスをスタートさせる。さらに、センスが終了してセンスアンプ 3 の両端部に大きな電位差が生じたところで、カラムトランsusファーゲート TCG 1, TCG 2 をそれぞれ開き、データバス DATA およびデータバーバス DATA# にデータをそれぞれ乗せる。

【0020】以上の 1 連の動作でビット線 BIT およびビットバー線 BIT# は低インピーダンスのセンスアンプ 3 で駆動されるので、メモリ破壊に対して耐性がある。しかし、ビット線 BIT およびビットバー線 BIT# を弱いながらもオン抵抗が高いトランsusファーゲート TSL 1, TSL 2 をそれぞれ介してセンスアンプ 3 で駆動するので、図 1 の構成のものに比べて、ビット線 BIT およびビットバー線 BIT# の振幅が多少大きくなるので消費電力も多少大きくなる。

【0021】また、ライト動作は、図 1 の場合と同様に、このセンスアンプ 3 を使わなくてもデータバス DATA およびデータバーバス DATA# をフルスウイングさせ、ビット線 BIT およびビットバー線 BIT# とセンスアンプ 3 との間のトランsusファーゲート TSL 1, TSL 2 さらにカラムトランsusファーゲート TCG 1, TCG 2 を同時に開ければデータを書き込むことができるが、しかし、センスアンプ 3 を動作させることにより、より早くより低消費電力でデータを書き込むことができる。この書き込み時に、まず、データバス DATA およびデータバーバス DATA# はフルスウイングせず、データに応じたわずかな電位差を乗せ、カラムトランsusファーゲート TCG 1, TCG 2 をそれぞれ開き、センスアンプ 3 の両端部のセンス線 SA およびセンスバー線 SA# にデータをそれぞれ送り込む。次に、センスアンプ 3 の両端部にセンスするに充分な電位差が送り込まれた時点で、カラムトランsusファーゲート TCG 1, TCG 2 をそれぞれ閉じ、センス制御線 SAP の電位を V_{cc} に、センス制御線 SAN の電位を GND に引き、センスアンプ 3 をスタートさせる。センスアンプ 3 の両端部に充分大きな電位差がセンスできた時点で、ビット線 BIT およびビットバー線 BIT# とセンスアンプ 3 との間のトランsusファーゲート TSL 1, TSL 2 をそれぞれ開き、ビット線 BIT およびビットバー線 BIT# をドライブしてメモリセル 2 にデータの書き込みを行う。このように、データバス DATA およびデータバーバス DATA# を大振幅させないので、より早くより低消費電力でデータを書き込むことができる。

【0022】さらに、ライトビット線の隣接リードビット線に対する干渉に対しても強い耐性を示す。書き込みを行っているビット線の隣のビット線はリード状態にあるが、従来では、ビット線を支えているのはメモリセルとビット線ブルアップによってである。このため、ロー

レベルを支えているのは、メモリセルのみで、場合によってはメモリ破壊を起こしていた。この第2の実施例ではセンスアンプ3によってもローレベルに引いているので干渉に対しても強い耐性を示す。

【0023】

【発明の効果】以上により本発明によれば、ビット線およびビットバー線とセンスアンプとの間に第1のトランスマニアゲートを設けることにより、ビット線およびビットバー線を第1のトランスマニアゲートで分離してビット線が大振幅することを防いでいるため、小面積で低消費電力のセンスアンプを得ることができる。

【0024】また、センスアンプの両端部とビット線およびビットバー線との間にそれぞれ、オン抵抗の低い第1のトランスマニアゲートとオン抵抗の高い第2のトランスマニアゲートとの並列回路をそれぞれ設けることにより、第2のトランスマニアゲートをオンさせてビット線がセンスアンプにより弱く支えられるようにしているため、小面積でビット線干渉に強いセンスアンプを得る

ことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すMOS型スタティックメモリ装置の回路図である。

【図2】本発明の第2の実施例を示すMOS型スタティックメモリ装置の回路図である。

【図3】従来の資料1における4-Mb SRAM chipを示す図である。

【符号の説明】

2 メモリセル

3 センスアンプ

TSG1, TSG2, TSL1, TSL2, TSS1, TSS2 トランスマニアゲート

TCG1, TCG2 カラムトランスマニアゲート

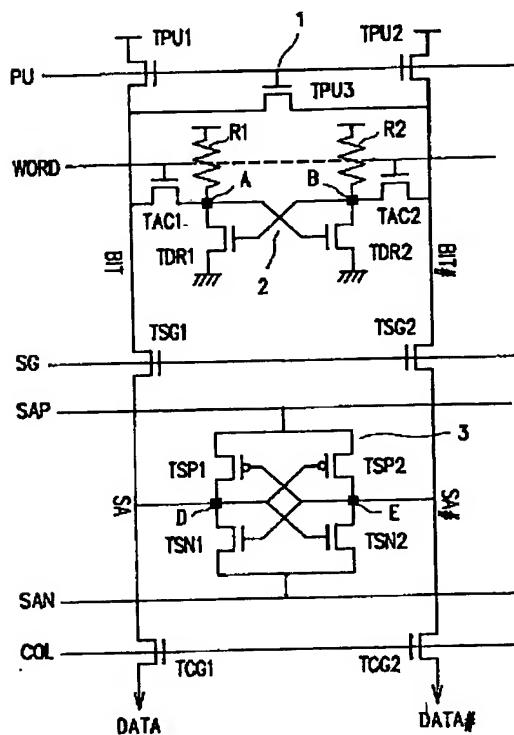
BIT ビット線

BIT# ビットバー線

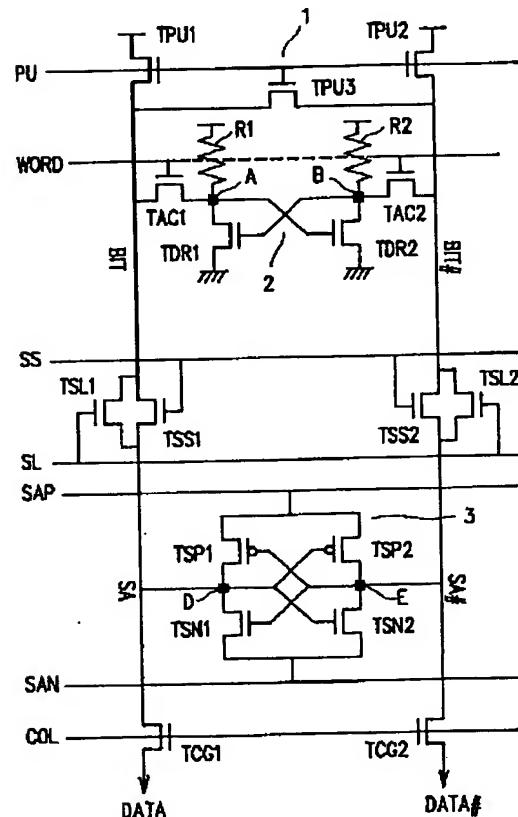
DATA データバス

DATA# データバーバス

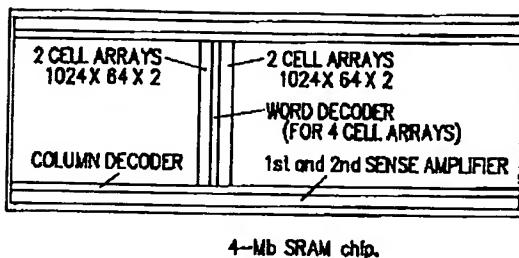
【図1】



【図2】



【図3】



4-Mb SRAM chip.

フロントページの続き

| | | | |
|--------------|---------|------------|-----|
| (51) Int.C1. | 識別記号 | F I | 311 |
| | | | 381 |
| | 7210-4M | H01L 27/10 | |

